|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н. Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н. Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование дешифраторов

**Дисциплина:**  Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент |  |  |  |  |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  |  |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

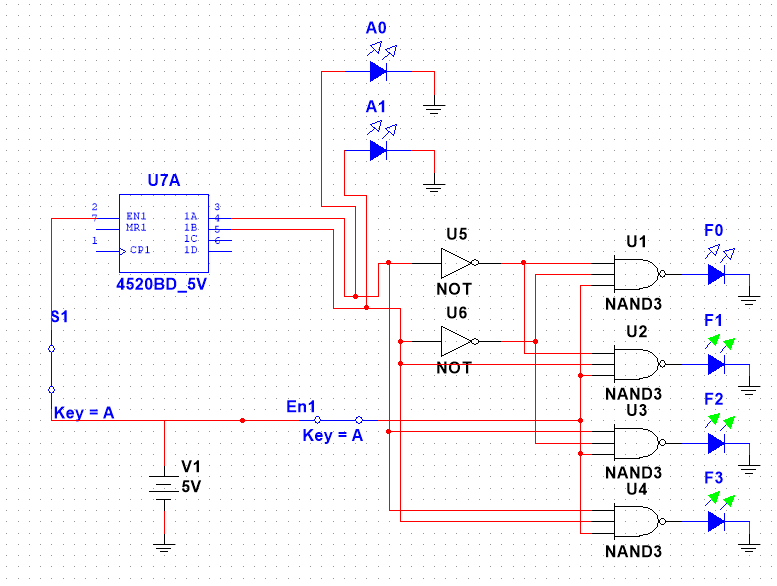
Москва, 2020

Цель работы:Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

### 1. Исследование линейного двухвходового дешифратора с инверсными выходами

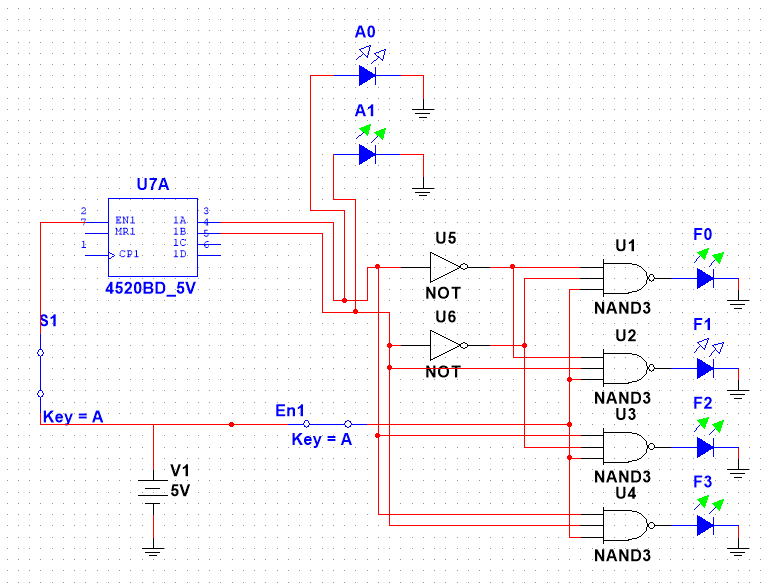
а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов 0 1 A A, задать в выходов 0 1 Q Q, четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

* A0A1 = 00, EN = 1: активный F0

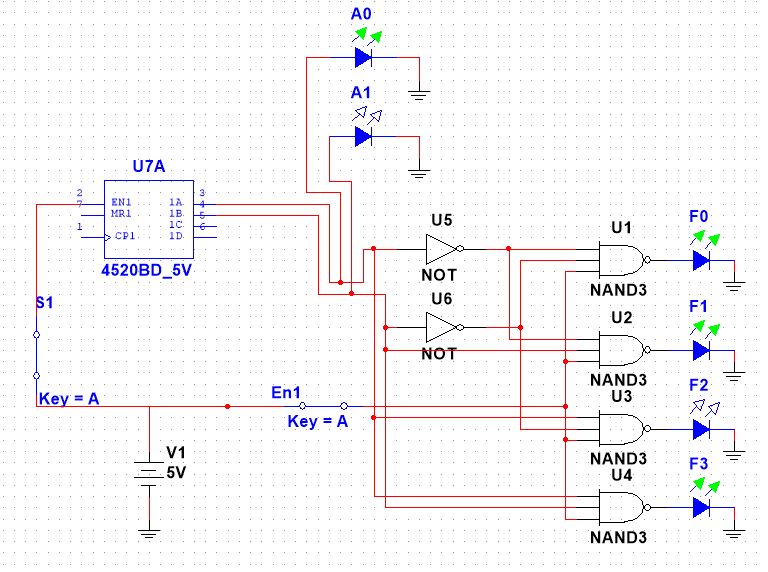


При EN = 0 активных нет

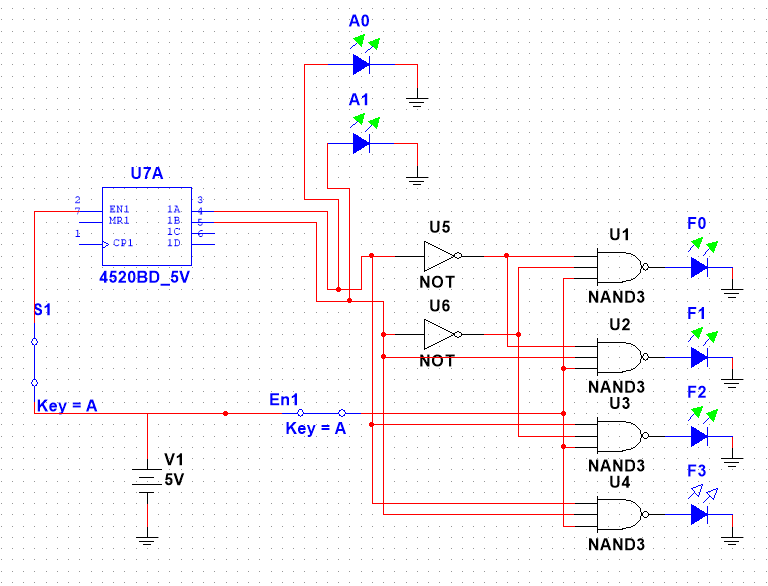
* A0A1 = 01, EN = 1: активный F1



* A0A1 = 10, EN = 1: активный F2



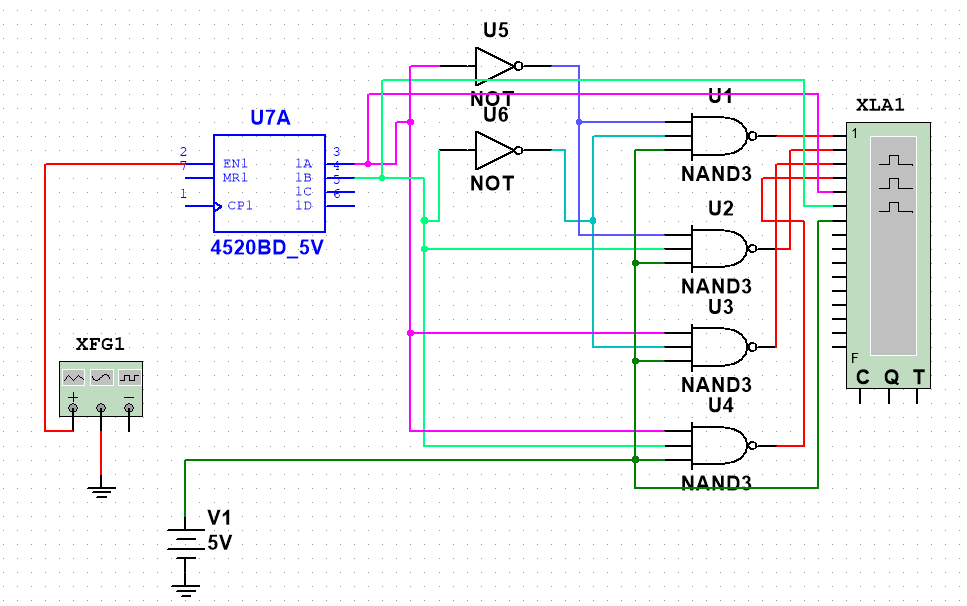
* A0A1 = 11, EN = 1: активный F3

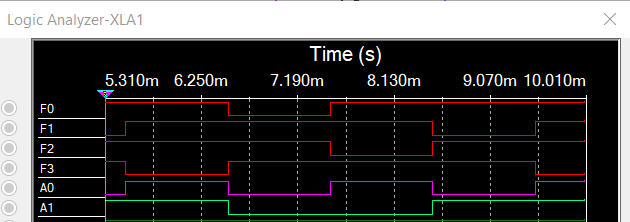


б) составить таблицу истинности нестробируемого дешифратора (ЕN = 1);

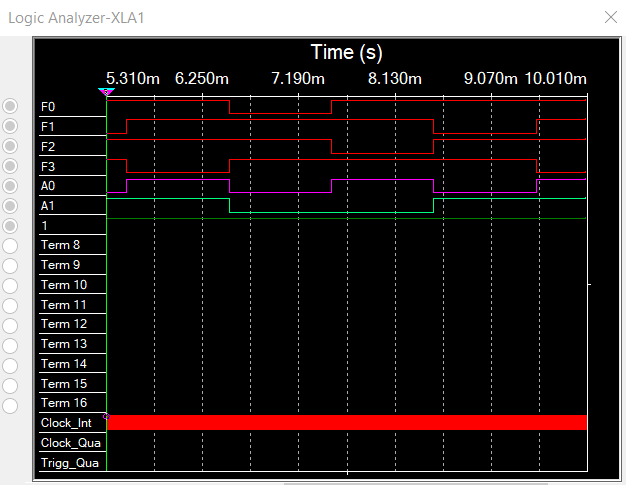
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Входы | | Выходы | | | |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;





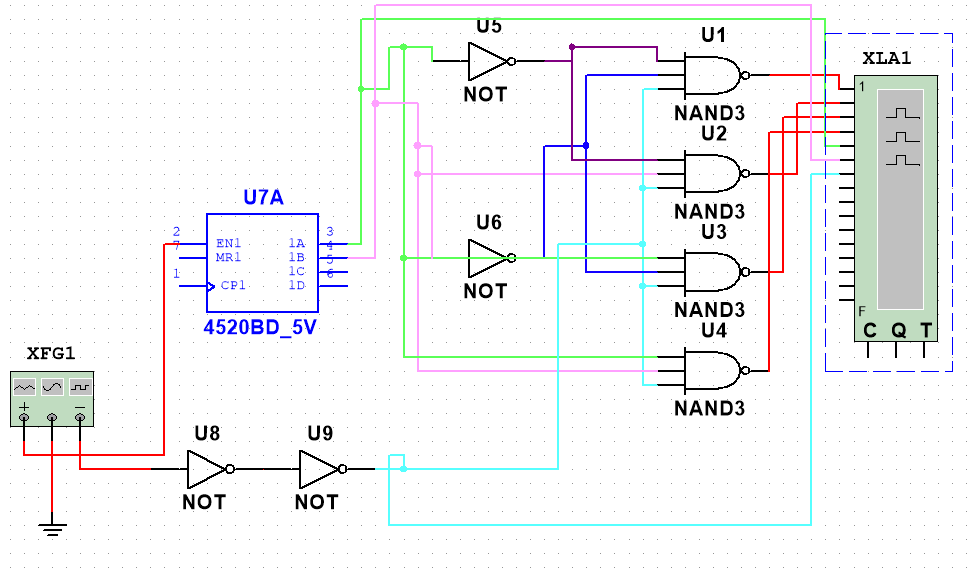
г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

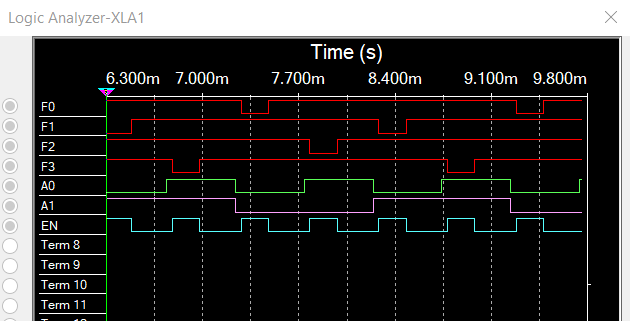


Помехи не выявлены.

д) снять временные диаграммы сигналов стробируемого дешифратора;

В качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов.



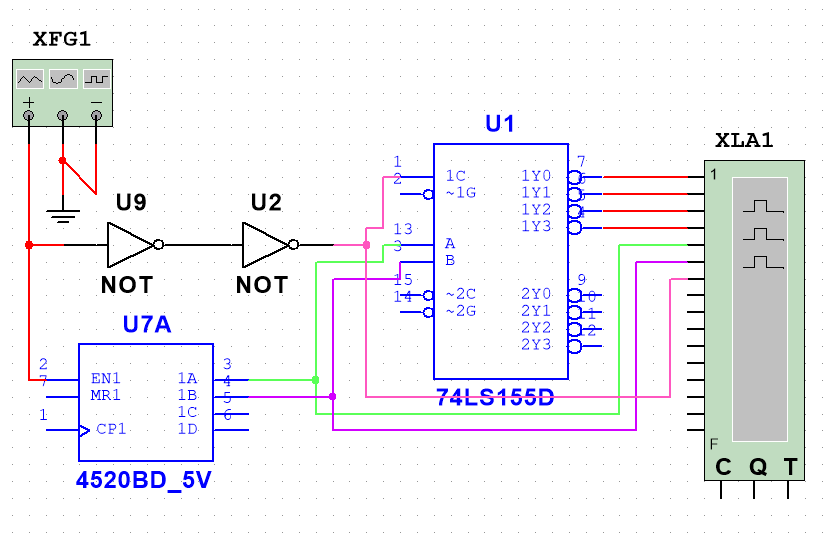


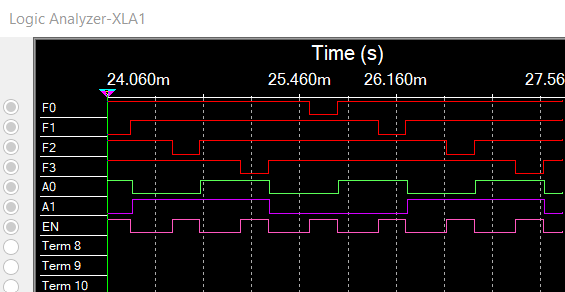
е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками;

Время задержки стробирующего сигнала должно превышать время переходных процессов всех логических элементов в дешифраторе.

2. Исследование дешифраторов ИС К155ИД4

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы (1 и 2) сигналы выходов счетчика (Q0 и Q1), а на стробирующие входы (3 и 4) – импульсы генератора, задержанные линией задержки;

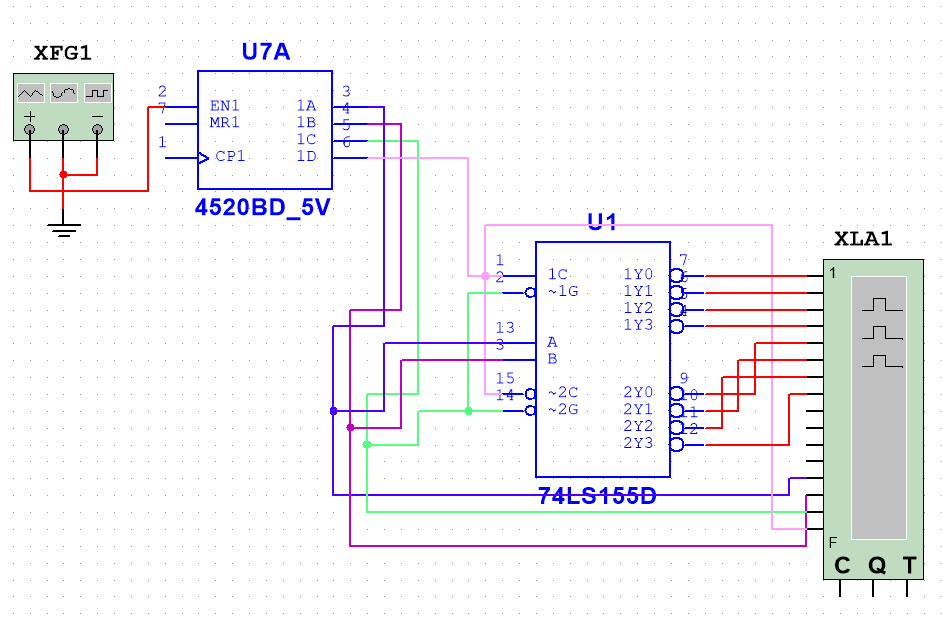




б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Помех снова не обнаружено. Время задержки должно превышать время переходных процессов.

в) собрать схему трехвходового дешифратора на основе дешифратора, задавая входные сигналы 0 1 2 A A A , , с выходов 0 1 2 Q Q Q ,, счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.



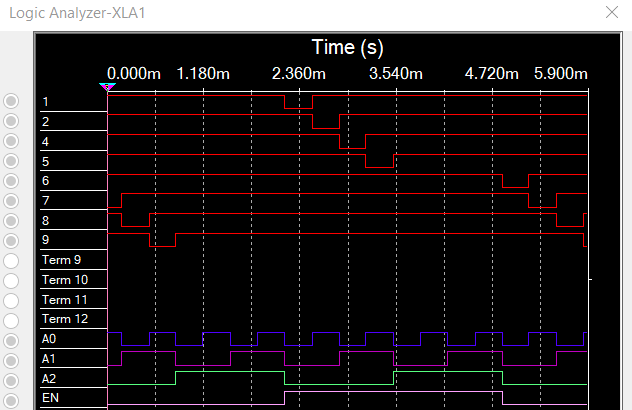
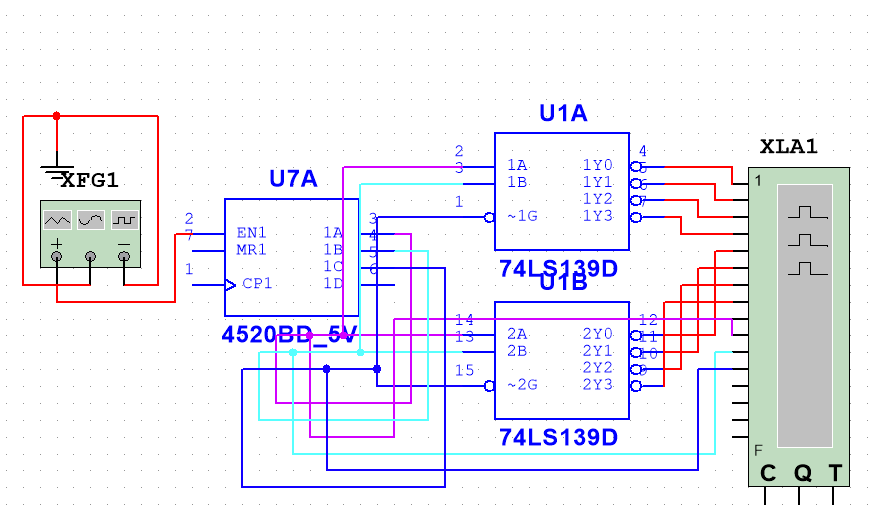


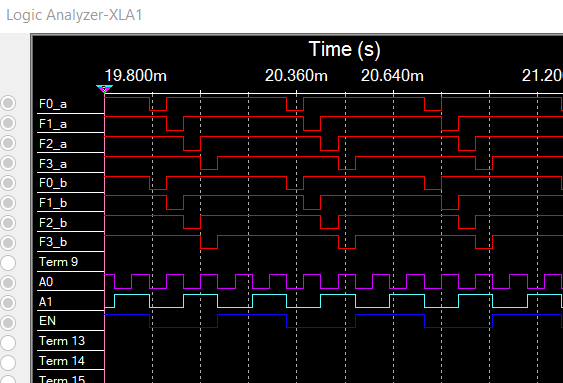
Таблица истинности:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| C | A0 | A1 | A2 | F0 | F1 | F2 | F3 | F4 | F5 | F6 | F7 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| **На прочих** | | | | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

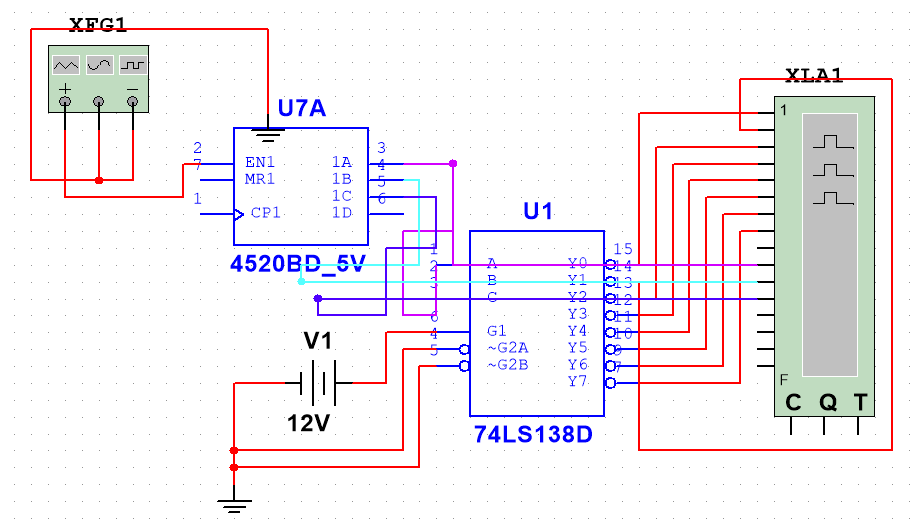
3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

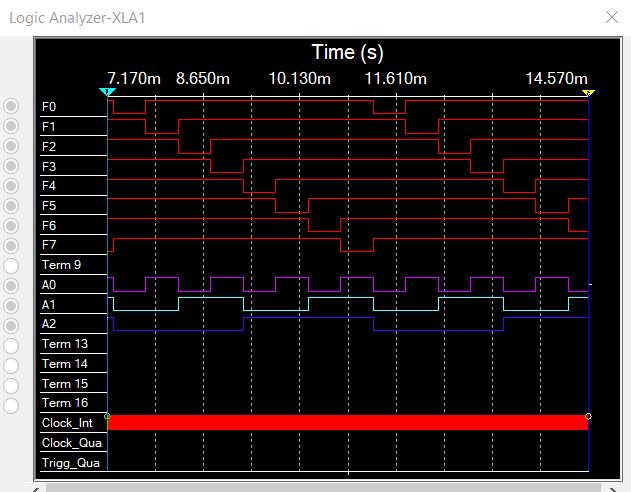
ИС 74LS139 содержит два дешифратора DC 2-4 с раздельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ.



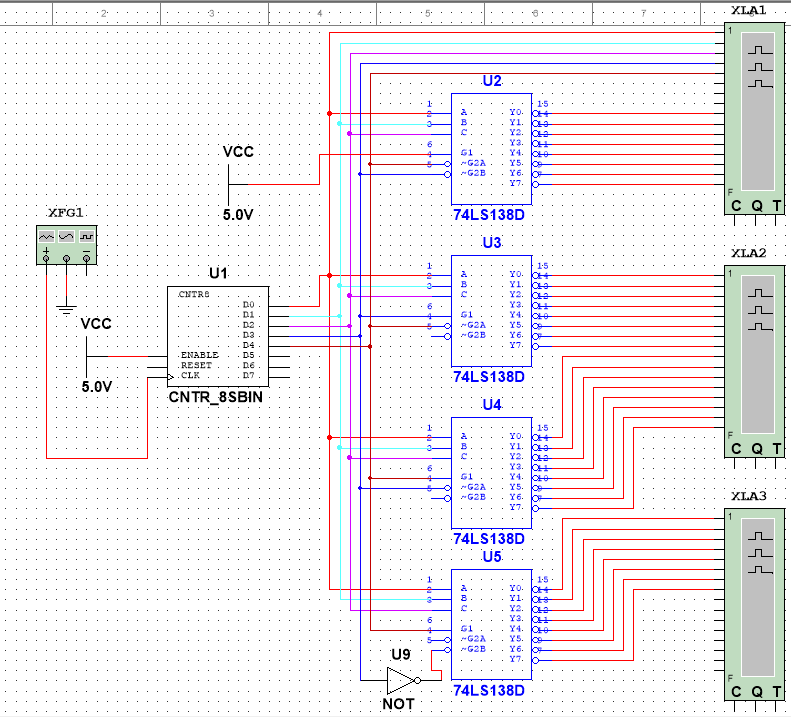


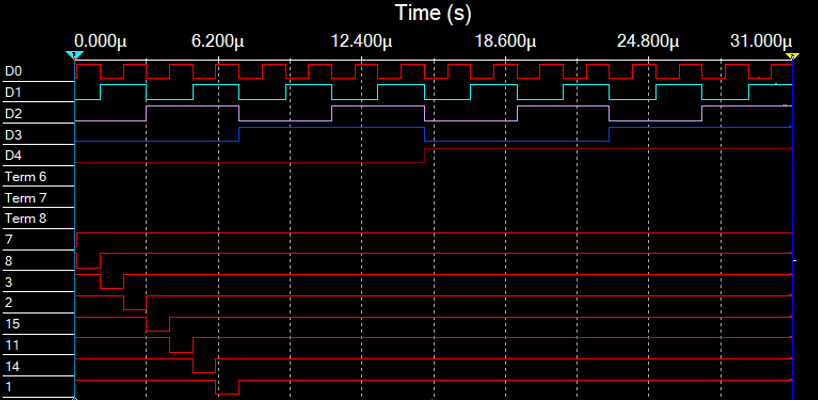
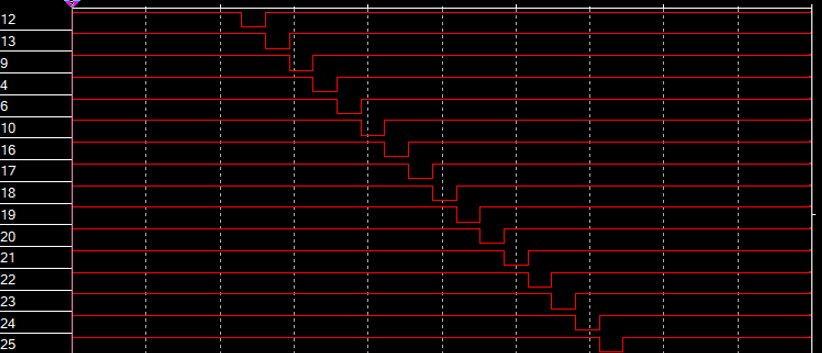
4. Исследовать работоспособность дешифраторов ИС 533ИД7

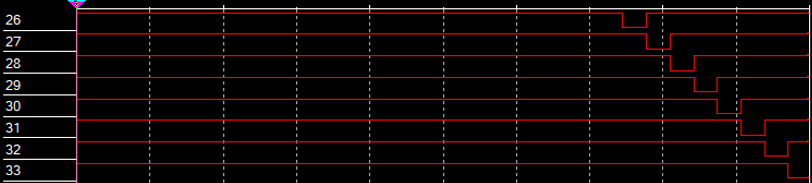
а) снять временные диаграммы сигналов нестробируемого дешифратора ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2 с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;



б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета;





5. Контрольные вопросы

* *Что называется дешифратором?*

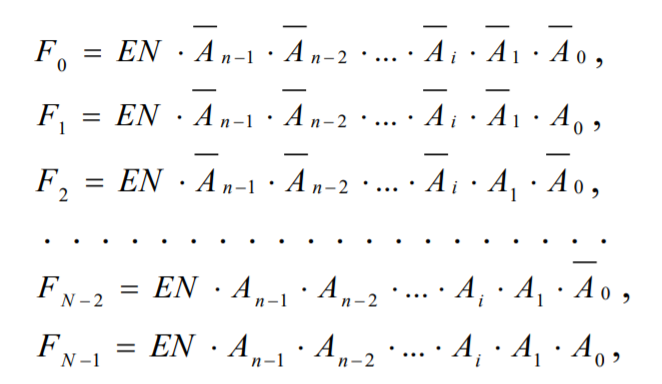
Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору

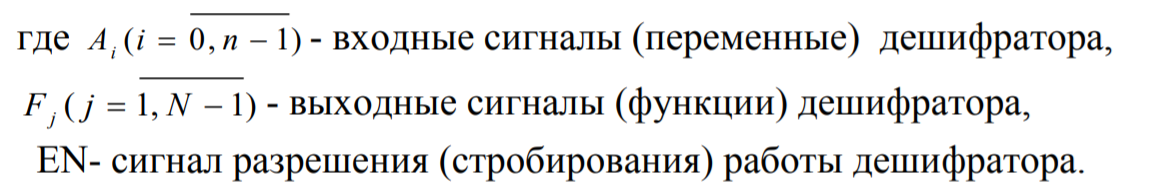
* *Какой дешифратор называется полным (неполным)?*

Дешифратор, имеющий N = 2n выходов, называется полным, при меньшем числе выходов - неполным.

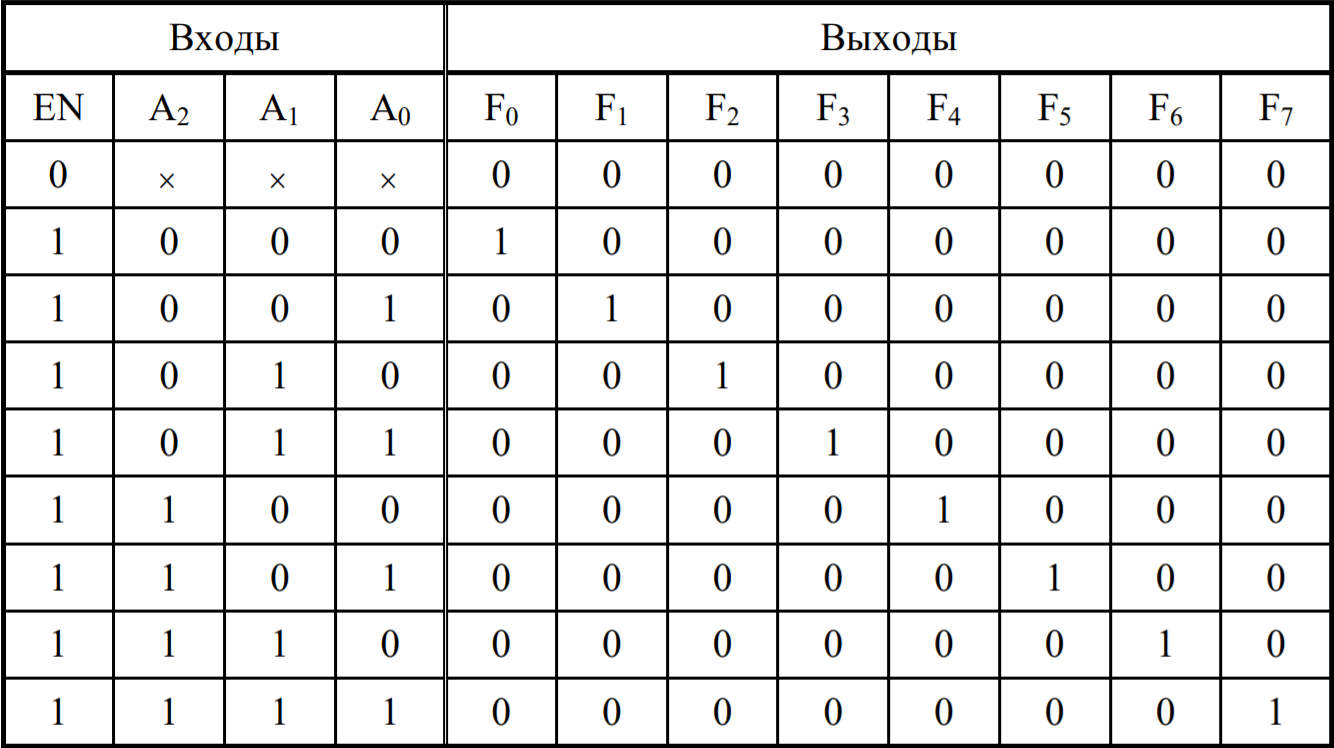
* *Определите закон функционирования дешифратора аналитически и таблично.*

Аналитически функционирование дешифратора описывается системой логических уравнений, где он активен:





Табличное определение закона функционирования – таблица истинности, указывающая, какие значения принимаются на разных входных наборах.



* *Поясните основные способы построения дешифраторов.*

Существует три основных способа построения дешифратора:

* Линейный
* Пирамидальный
* Ступенчатый

Линейный дешифратор строится непосредственно в соответствии с системой функций

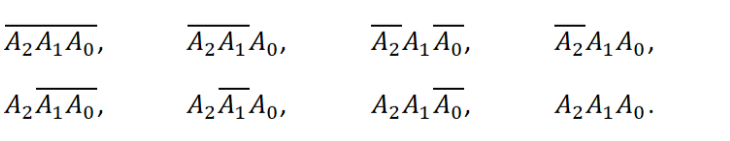
 и состоит из конъюнкторов с 𝑛 входами каждый.

Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций.

1. Первый этап - конъюнкция двух переменных



1. Второй этап - все конъюнкции трех переменных путём



1. Последующие этапы – по аналогии.

На каждом последующем этапе получают вдвое больше конъюнкций, чем на предыдущем.

Пирамидальные дешифраторы, независимо от числа их входов, строятся на основе двухвходовых конъюнкторов. Величина коэффициента разветвления конъюнктора по выходу равна двум.

Ступенчатый дешифратор строится на основе двух дешифраторов на 𝑚 и (𝑛 − 𝑚) входов и двухвходовых конъюнкторов. Если 𝑛 – четное, то 𝑚 = 𝑛 / 2, при нечетном 𝑛 величины 𝑚 и (𝑛 − 𝑚) отличаются на единицу:

𝑚 = (𝑛 + 1) / 2,

𝑛 − 𝑚 = (𝑛 − 1) / 2.

При большом числе входов 𝑛 ступенчатые дешифраторы имеют существенно меньшие аппаратурные затраты, чем линейные и пирамидальные.

* *Что называется гонками и как устраняются ложные сигналы, вызванные гонками?*

Гонки (состязания) – появление ложных сигналов на выходах схемы вследствие переходных процессов и временных задержек сигналов в цепях логических элементов. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений).

* *Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?*

- С помощью каскада дешифраторов.

Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n1-N1, причем n1 < n, N1 < N.

Число каскадов равно К = n/n1.

Количество простых дешифраторов DC n1-N1 в выходном каскаде равно N/N1, в предвыходном - N/N12, в предпредвыходном - N/N13 и т.д.; во входном каскаде - N/N1к

В выходном каскаде дешифрируются n1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса.

Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и тд.

- С помощью стробирующего входа.  
  
Если простой дешифратор в составе сложного имеет несколько стробирующих входов, то один вход используется для наращивания дешифратора, а второй – для стробирования или разрешения.

Приведенный пример:

ИМС К155ИД4 – сдвоенный дешифратор с общими адресными входами A0, A1. Первый дешифратор имеет прямой E1 и инверсный E2 стробирующие входа, второй – два инверсных входа E3 и E4. При наращивании дешифратора объединенные входы E1 и E3 являются адресным входом A2, а объединенные стробирующие входы E2 и E4 – входом стробирования.

6. Вывод

В ходе выполнения лабораторной работы мной были изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов, исследованы принципы их функционирования.